

PAT-NO: JP355091036A

DOCUMENT-IDENTIFIER: JP 55091036 A

TITLE: DIAGNOSIS SYSTEM FOR INFORMATION PROCESSOR
CONTROLLED BY MICROPROGRAM

PUBN-DATE: July 10, 1980

INVENTOR-INFORMATION:

NAME

ICHII, HIROSHI

ASSIGNEE-INFORMATION:

NAME COUNTRY

FUJITSU LTD N/A

APPL-NO: JP53162389

APPL-DATE: December 29, 1978

INT-CL (IPC): G06F011/00

US-CL-CURRENT: 714/FOR.293

ABSTRACT:

PURPOSE: To secure the early detection for the error by performing the diagnosis program in the time-division way and under execution of the control program.

CONSTITUTION: The control program and the diagnosis program are carried out in the 6:2 ratio. The diagnosis program detects the error and then sets up the error display bit. While the control program examines the state of the error display bit and then informs the error occurrence to the higher-rank unit in case the error is detected. When Set P<SB>1</SB> features logic "1", FF4 is set and then reset when Reset P<SB>1</SB> features logic "1" each. With setting of FF4, control program execution timing T<SB>1</SB> becomes logic "1", and the control program is carried out while signal T<SB>1</SB> features logic "1". FF5 is set when Set P<SB>2</SB> features logic "1", and thus diagnosis program timing signal T<SB>2</SB> features logic "1" for execution of the diagnosis program.

COPYRIGHT: (C)1980,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭55-91036

⑫ Int. Cl.³
G 06 F 11/00

識別記号

庁内整理番号
7368-5B

⑬ 公開 昭和55年(1980)7月10日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ マイクロプログラム制御の情報処理装置における診断方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特願 昭53-162389

⑯ 出願 昭53(1978)12月29日

川崎市中原区上小田中1015番地

⑰ 発明者 一井博

⑱ 代理人 弁理士 京谷四郎

明細書

1. 発明の名称

マイクロプログラム制御の情報処理装置における診断方式

2. 特許請求の範囲

制御プログラムと診断プログラムとを格納するマイクロプログラム制御メモリ、上記制御プログラムの実行を指示する制御プログラム実行タイミング信号と上記診断プログラムの実行を指示する診断プログラム実行タイミング信号とを常に所定比率で生成する時分割処理タイミング信号生成手段、および上記制御プログラム実行タイミング信号が所定論理値をもつ場合上記制御プログラムを上記制御メモリから読み出すと共に上記診断プログラム実行タイミング信号が所定論理値の場合上記診断プログラムを上記制御メモリから読み出す制御メモリ・アクセス制御部を備えることを特徴とするマイクロプログラム制御の情報処理装置における

る診断方式。

3. 発明の詳細な説明

本発明は、マイクロプログラム制御の情報処理装置、例えば入出力制御装置等において、制御プログラムの実行中に装置の診断を時分割的に実行するようになつたマイクロプログラム制御の情報処理装置における診断方式に関するものである。

従来のマイクロプログラム制御の入出力制御装置等においてはメインの制御プログラムの実行中は診断を実行せず、制御プログラムがアイドル・ループに入つたとき診断を行つている。従来のこの種の情報処理装置は、制御プログラムで成る処理を行つ場合、パリティ・エラー等は直ちに検出できるが、その他のエラーについては処理実行中に検出できないという欠点を有している。

本発明は、上記の欠点を除去することを目的とするものであつて、制御プログラムの実行中に診断プログラムを時分割的に行いエラーを早期に検出できるようになつたマイクロプログラム制御の

情報処理装置における診断方式を提供することを目的としている。そしてそのため、本発明のマイクロプログラム制御の情報処理装置における診断方式は、制御プログラムと診断プログラムをマイクロプログラム格納する制御メモリ、上記制御プログラムの実行を指示する制御プログラム実行タイミング信号と上記診断プログラムの実行を指示する診断プログラム実行タイミング信号とを常に所定比率で生成する時分割処理タイミング信号生成手段、および上記制御プログラム実行タイミング信号が所定論理値をもつ場合上記制御プログラムを上記制御メモリから読み出すと共に上記診断プログラム実行タイミング信号が所定論理値の場合上記診断プログラムを上記制御メモリから読み出す制御メモリ・アクセス制御部を備えることを特徴とするものである。以下、本発明を図面を参照しつつ説明する。

図1図は本発明の時分割診断処理のタイムチャート、図2図は制御メモリの構成を示す図、図3図は時分割処理タイミング作成回路の1実施例の

3

ブロック図、図4図はROMデコーダの論理表、図5図は制御メモリ・アクセス制御部の1実施例のブロック図である。

図1図において、 T_1 はメインの制御プログラムの実行タイミング信号、 T_2 は診断プログラム実行タイミング信号をそれぞれ示している。本発明によるマイクロプログラム制御の情報処理装置においては、制御プログラムと診断プログラムとが、所定比率で実行される。図示の例では制御プログラムと診断プログラムとが6:2の割合で実行されている。診断プログラムは、情報処理装置の特に重要な機能、例えば演算機能の診断などを行うものである。診断プログラムは、エラーを検出すると、エラー表示ビットを立て、制御プログラムは所定の機会にエラー表示ビットの状態を調べ、エラーが検出されている場合、上位装置に対してエラー報告を行う。

図2図は制御メモリの構成を示すものであつて、1は制御メモリを示している。制御メモリ1には、制御プログラムと診断プログラムとがそれぞれ誤

4

被を異にして格納されている。スタート・アドレス8TAD1は制御プログラムの先頭アドレスを示し、スタート・アドレス8TAD2は、診断プログラムの先頭アドレスを示している。

図3図は時分割処理タイミング作成回路の1実施例のブロック図であつて、2はカウンタ、3はROMデコーダ、4と5はフリップ・フロップ、6はMPアドレス制御回路、7と8はT₁ないしT₄はカウンタ2からのカウント出力信号、Set P₁は制御プログラム・セット信号、Reset P₁は制御プログラム・リセット信号、Set P₂は診断プログラム・セット信号、Reset P₂は診断プログラム・リセット信号をそれぞれ示している。ROMデコーダ3は、カウンタ2からの出力信号をデコードし、Set P₁、Set P₂、Reset P₁、Reset P₂を図4図の論理表の論理値で出力する。Set P₁が論理「1」となると、フリップ・フロップ4はセットされ、Reset P₁が論理「0」となると、フリップ・フロップ4はリセットされる。フリップ・フロップ4がセットされると、フリップ・フロップ5はセットされる。フリップ・フロップ5がセットされると、診断プログラム実行タイミング信号T₂は論理「1」となり、この信号T₂が論理「1」の間、制御プログラムが実行される。Set P₂が論理「1」となると、フリップ・フロップ5はセットされ、Reset P₂が論理「1」となると、フリップ・フロップ5がリセットされる。フリップ・フロップ5がセットされると、診断プログラム実行タイミング信号T₂が論理「1」の間診断プログラムが実行される。MPアドレス制御回路6は、信号T₁が論理「1」のとき論理「1」のアドレス選択信号を出力し、信号T₂が論理「1」のとき論理「0」のアドレス選択信号を出力する。

図5図は制御メモリ・アクセス制御部の1実施例のブロック図であつて、7は命令デコーダ、8と9はマルチプレクサ、10と11は十進路路、12と13はアドレス・レジスタ、14と15はAND路路、16はマルチプレクサをそれぞれ示している。

命令デコーダ7は、制御メモリ1から読み出されたマイクロ命令が分散命令であるか否かを判断し

5

6

分散命令の場合、所定論理値の選択信号をマルチブレクサ8と9に供給する。マルチブレクサ8は、この選択信号を受信し、分散命令が読み出された場合はマイクロ命令内の分散アドレスを選択出力し、読み出されたマイクロ命令が非分散命令の場合にはアドレス・レジスタ12の内容を+1したものを選択出力する。また、マルチブレクサ8は、装置電源が投入されたとき、スタート・アドレスSTAD1を選択出力する。アドレス・レジスタ12は、制御プログラム実行タイミング信号T1が論理「1」のとき、クロックと同期してマルチブレクサ8が出力するアドレス情報を取込む。マルチブレクサ9も同様に分散命令が制御メモリ1から読み出された場合はマイクロ命令内の分散アドレスを選択出力し、非分散命令が読み出された場合にはアドレス・レジスタ13の内容を+1したものを選択出力する。またマルチブレクサ9は、装置電源が投入されたとき、スタート・アドレスSTAD2を選択出力する。アドレスレジスタ13には、診断プログラム実行タイミング信号T2が論理「1」

7

特開昭55-91036(3)のとき、クロックと同期してマルチブレクサ9が出力するアドレス情報をセットされる。マルチブレクサ16は、アドレス選択信号が論理「1」の場合アドレス・レジスタ12からのアドレス情報を選択出力し、アドレス選択信号が論理「0」の場合、アドレス・レジスタ13からのアドレス情報を選択出力する。マルチブレクサ16が出力するアドレス情報は制御メモリ1に供給され、マイクロ命令の読み出しが行われる。

オ5図の構成は次のように動作する。装置電源が投入されると、スタート・アドレスSTAD1がアドレス・レジスタ12にセットされ、スタート・アドレスSTAD2がアドレス・レジスタ13にセットされる。制御プログラム実行タイミング信号T1が論理「1」となる度に、制御プログラムのマイクロ命令が制御メモリ1から読み出され、制御プログラムが逐次実行される。診断プログラム実行タイミング信号T2が論理「1」となる度に診断プログラムのマイクロ命令が制御メモリ1から読み出され、診断プログラムが逐次実行される。

8

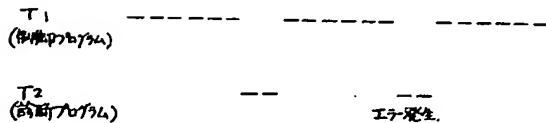
以上の説明から明らかなように、本発明によれば、制御プログラムの実行中に診断を実行しているので、早期エラー発見が可能となり、制御プログラムの信頼性を向上することが出来る。

4. 図面の簡単な説明

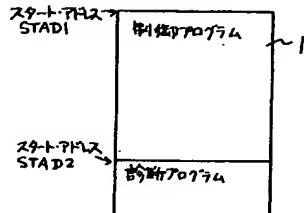
オ1図は本発明の時分割診断処理のタイムチャート、オ2図は制御メモリの構成を示す図、オ3図は時分割処理タイミング作成回路の1実施例のブロック図、オ4図はROMデコーダの論理表、オ5図は制御メモリ・アクセス制御部の1実施例のブロック図である。

1 制御メモリ、2 カウンタ、3 ROMデコーダ、4と5 フリップ・フロップ、6 APアドレス制御回路、7 命令デコーダ、8と9 マルチブレクサ、10と11 +1回路、12と13 アドレス・レジスタ、14と15 A/D回路、16 マルチブレクサ

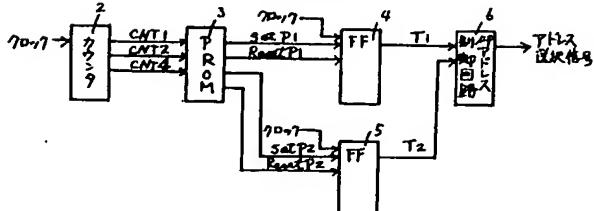
オ1図

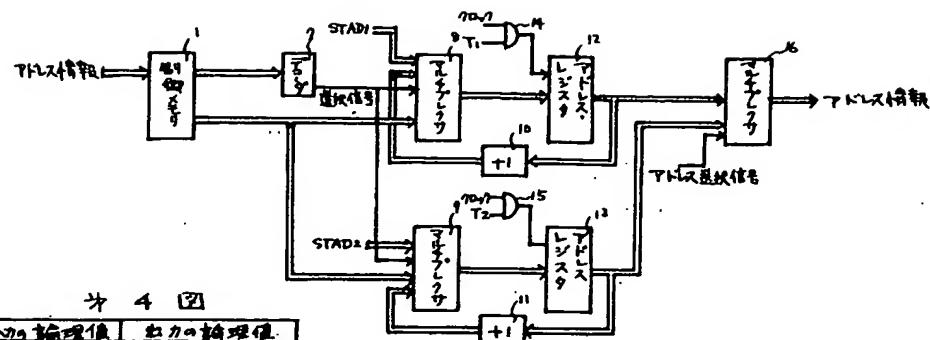


オ2図



オ3図





アドレス		出力の初期値					
CNT1	CNT2	CNT3	CNT4	出力5	出力6	出力7	出力8
0	0	0	1	0	0	0	1
0	0	1	1	0	0	0	1
0	1	0	1	0	0	0	1
0	1	1	1	0	0	0	1
1	0	0	1	0	0	0	1
1	0	1	0	1	1	1	0
1	1	0	0	0	0	0	0

図5